

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 4 月 1 日

出 願 番 号  
Application Number: 特 願 2 0 0 4 - 1 0 8 8 3 2

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

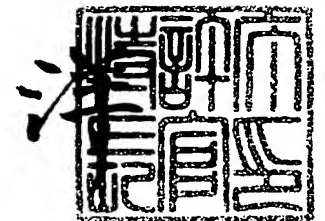
J P 2 0 0 4 - 1 0 8 8 3 2

出 願 人  
Applicant(s): 松下電器産業株式会社

2 0 0 5 年 4 月 1 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



BEST AVAILABLE COPY

【官 公 民 人】

付 訂 願

【整理番号】

2048260067

【提出日】

平成16年 4月 1日

【あて先】

特許庁長官殿

【国際特許分類】

G06F 13/00

【発明者】

【住所又は居所】

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】

星野 将史

【発明者】

【住所又は居所】

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】

東島 勝義

【発明者】

【住所又は居所】

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】

西田 要一

【特許出願人】

【識別番号】

000005821

【氏名又は名称】

松下電器産業株式会社

【代理人】

【識別番号】

100097445

【弁理士】

【氏名又は名称】

岩橋 文雄

【選任した代理人】

【識別番号】

100103355

【弁理士】

【氏名又は名称】

坂口 智康

【選任した代理人】

【識別番号】

100109667

【弁理士】

【氏名又は名称】

内藤 浩樹

【手数料の表示】

【予納台帳番号】

011305

【納付金額】

16,000円

【提出物件の目録】

【物件名】

特許請求の範囲 1

【物件名】

明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【包括委任状番号】

9809938

【請求項 1】

少なくとも1つの外部CPUと接続可能なインタフェースと、  
少なくとも1つの内部CPUと、  
少なくとも1つの処理手段を備え、  
前記処理手段の各々が、前記少なくとも1つの外部CPU、あるいは、前記少なくとも1つの内部CPUの中の、いずれのCPUからも制御可能であることを特徴とする半導体装置。

【請求項 2】

少なくとも1つの外部CPUと接続可能なインタフェースと、  
少なくとも1つの内部CPUと、  
少なくとも1つの処理手段から構成される第1の処理手段グループと、  
少なくとも1つの処理手段から構成される第2の処理手段グループを備え、  
前記第1の処理手段グループに属する処理手段の各々が、前記少なくとも1つの外部CPU、あるいは、前記少なくとも1つの内部CPUの中の、いずれのCPUからも制御可能であり、  
前記第2の処理手段グループに属する処理手段が、前記少なくとも1つの内部CPUから制御を受けることを特徴とする半導体装置。

【請求項 3】

少なくとも1つの外部CPUと接続可能なインタフェースと、  
少なくとも1つの内部CPUと、  
少なくとも1つの処理手段から構成される少なくとも1つの処理手段グループと、  
前記少なくとも1つの外部CPUの各々が専用使用する外部CPU制御バスと、  
前記少なくとも1つの内部CPUの各々が専用使用する内部CPU制御バスを備え、  
前記処理手段が、前記外部CPU制御バスと前記内部CPU制御バスのどちらを接続するかを選択する選択手段を、前記処理手段グループ単位で個別に有することを特徴とする半導体装置。

【請求項 4】

少なくとも1つの外部CPUと接続可能なインタフェースと、  
少なくとも1つの内部CPUと、  
少なくとも1つの処理手段から構成される少なくとも1つの処理手段グループと、  
前記少なくとも1つの外部CPUの各々が専用使用する外部CPU制御バスと、  
前記少なくとも1つの内部CPUの各々が専用使用する内部CPU制御バスを備え、  
前記処理手段が、前記外部CPU制御バスからのアクセスと前記内部CPU制御バスからのアクセスを調停する調停手段を、前記処理手段グループ単位で個別に有することを特徴とする半導体装置。

【請求項 5】

少なくとも1つの外部CPUと接続可能なインタフェースと、  
少なくとも1つの内部CPUと、  
少なくとも1つの処理手段から構成される少なくとも1つの処理手段グループと、  
前記少なくとも1つの外部CPUの間で共有して使用する外部CPU制御バスと、  
前記外部CPU制御バスへのアクセスを調停する調停手段と、  
前記少なくとも1つの内部CPUの間で共有して使用する内部CPU制御バスと、  
前記内部CPU制御バスへのアクセスを調停する調停手段を備え、  
前記処理手段が、前記外部CPU制御バスと前記内部CPU制御バスのどちらを接続するかを選択する選択手段を、前記処理手段グループ単位で個別に有することを特徴とする半導体装置。

【請求項 6】

少なくとも1つの外部CPUと接続可能なインタフェースと、  
少なくとも1つの内部CPUと、  
少なくとも1つの処理手段から構成される少なくとも1つの処理手段グループと、  
前記少なくとも1つの外部CPUの間で共有して使用する外部CPU制御バスと、

前記内部CPU制御バスへ、前記外部CPUから前記内部CPU制御バスへアクセスする調停手段と、

- ・ 前記少なくとも1つの内部CPUの間で共有して使用する内部CPU制御バスと、  
前記内部CPU制御バスへのアクセスを調停する調停手段を備え、
- ・ 前記処理手段が、前記外部CPU制御バスからのアクセスと前記内部CPU制御バスからのアクセスを調停する調停手段を、前記処理手段グループ単位で個別に有することを特徴とする半導体装置。

【請求項7】

少なくとも1つの外部CPUと接続可能なインタフェースと、

少なくとも1つの内部CPUと、

少なくとも1つの処理手段から構成される少なくとも1つの処理手段グループと、

前記少なくとも1つの外部CPUと前記少なくとも1つの内部CPUの間で共有して使用する、少なくとも1つの制御バスと、

前記制御バス各々に対してアクセスを調停する前記制御バスに対応する調停回路を備え、

前記処理手段の各々が、前記制御バスのいずれかと接続されることを特徴とする半導体装置。

【請求項8】

前記処理手段は、

ビデオ信号の入力を行うビデオ入力処理手段と、

ビデオ信号の出力を行うビデオ出力処理手段と、

動画像の圧縮を行う動画圧縮処理手段と、

動画像の伸長を行う動画伸長処理手段と、

静止画像の圧縮を行う静止画圧縮処理手段と、

静止画像の伸長を行う静止画伸長処理手段と、

グラフィックスの生成を行うグラフィックス処理手段と、

音声、または、オーディオの圧縮を行う音声・オーディオ圧縮処理手段と、

音声、または、オーディオの伸長を行う音声・オーディオ伸長処理手段、

の中から構成される、請求項1から請求項7記載の半導体装置。

【請求項9】

前記少なくとも1つの内部CPUの動作周波数が可変である、請求項1から請求項8記載の半導体装置。

・ 【発明の名称】 半導体装置

【技術分野】

・ 【0001】

本発明は主に画像処理、音声・オーディオ処理等のメディア処理を行う半導体装置に関するものである。

【背景技術】

【0002】

従来の外部CPUと接続可能なインタフェースを有し、画像、音声等のメディア処理を行う半導体装置としては、内部に制御用のCPUを備え、半導体装置が備える各処理回路を制御するものがある（例えば、特許文献1参照）。図11は、前記特許文献1に記載された従来の半導体装置を示すものである。図11において、半導体装置2100は、内部に全体の制御を行う内部CPU2101と、ビデオの処理を行うビデオプロセッサ2102と、オーディオの処理を行うオーディオプロセッサ2103とを備え、内部CPU2101は外部CPU2110とインタフェースを介して接続される。また、ビデオプロセッサ2102とオーディオプロセッサ2103は、制御バス2104を介して内部CPU2101と接続される。

【0003】

内部CPU2101は、外部CPU2110からのメッセージにしたがって処理を行う。例えば、デコードの指示を受信すると、外部CPU2110からビットストリームを受信し、受信したビットストリームをビデオ・ビットストリームとオーディオ・ビットストリームに分離する。分離処理後、ビデオ・ビットストリームはビデオプロセッサ2102へ、オーディオ・ビットストリームはオーディオプロセッサ2103へと、それぞれ送信し、ビデオプロセッサ2102とオーディオプロセッサ2103でデコード処理を実行するよう制御を行う。デコードされたビデオデータとオーディオデータは、内部CPU2101により同期を取り、それぞれ出力される。

【0004】

また、最近の携帯電話端末に代表されるモバイル端末やDVDレコーダ、HDレコーダ等に代表されるホームサーバと呼ばれる機器において、デジタルスチルカメラ機能、ビデオカメラ機能、オーディオ再生機能、TV電話機能、動画再生・編集、静止画再生・編集等、さまざまなアプリケーションが実現可能であり、それらメディア処理機器に搭載される半導体装置内部の処理部の数も増加する傾向にある。図12は、前述した従来の半導体装置から考えられるメディア処理機器向け半導体装置である。図12において、半導体装置2200は、内部CPU2101と、MPEG規格等の動画の圧縮伸長を行う動画処理回路2201と、グラフィックスの生成を行うグラフィックス処理回路2202と、JPEG規格等の静止画の圧縮伸長を行う静止画処理回路2203と、音声、あるいは、オーディオの圧縮伸長を行う音声・オーディオ処理回路2204と、ビデオデータの入出力を行うビデオ入出力処理回路2205と、音声、または、オーディオデータの入出力を行う入出力処理回路2206を備え、内部CPU2101は外部CPU2110とインタフェースを介して接続される。また、動画処理回路2201とグラフィックス処理回路2202と静止画処理回路2203と音声・オーディオ処理回路2204とビデオ入出力回路2205と音声・オーディオ入出力回路2206は、制御バス2104を介して内部CPU2101と接続される。なお、図11と同様のものは同一の番号を記してある。半導体装置2200におけるアプリケーション実行の際の動作は、基本的に前述した半導体装置2100における動作と同じである。内部CPU2101が外部CPU2110からメッセージを受け、メッセージに従って、各処理回路2201～2206を制御しアプリケーションに必要な処理を実行する。

【特許文献1】 特開2002-238034号公報（9頁、図1）

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、前記、図12のような半導体装置の構成では、複数の処理回路の制御処理が内部CPUに固定され、内部CPUに制御処理が集中するため、処理回路の数が増加して必要な制御処理量が増加した場合、あるいは、高性能な処理を行うため一部の処理回路が必要

な制御処理量が増加した場合では、内部CPUの性能が足りず、大抵可能なソフトウェアシミュレーションの機能、あるいは、性能が制限されるという課題があった。

#### 【0006】

また、処理回路の制御が内部CPUに固定され、内部CPUに制御処理が集中するため、内部CPUの動作周波数が高くなり、消費電力の増加を招くという課題があった。

#### 【0007】

本発明は、前記従来の課題を解決するもので、外部CPUを含めた柔軟なシステムの構築、また、高性能、あるいは、高機能なアプリケーション処理、また、低消費電力動作を可能とする半導体装置を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0008】

前記従来の課題を解決するために、本発明の半導体装置は、内部に備える処理手段の各々が、少なくとも1つの外部CPU、あるいは、少なくとも1つの内部CPUの中の、いずれのCPUからも制御可能である。

#### 【0009】

また、本発明の半導体装置は、内部に備える、少なくとも1つの内部CPUの動作周波数が可変である。

#### 【0010】

本構成によって、半導体装置内部の処理回路の制御に必要な制御処理を外部CPUと内部CPUとで分担することで、半導体装置と外部CPUを含めたシステムとして、高機能、あるいは、高性能なアプリケーションの実現が可能となる。

#### 【0011】

また、本構成によって、半導体装置内部の処理回路の制御に必要な制御処理を外部CPUと内部CPUに分散することで、半導体装置と外部CPUを含めたシステムとして、外部CPUの性能、そして、要求されるアプリケーションの性能、機能に応じて制御処理負荷の最適化を図ることができ、システムを構築する際の本半導体装置の柔軟性が向上する。

#### 【0012】

また、本構成によって、実行するアプリケーションが切り替わる場合等で、外部CPUと内部CPUでの制御処理負荷の分散方法に依存し、内部CPUの制御処理量の変動する場合に対して、その都度、内部CPUの動作周波数を最適な値に設定することができ、低消費電力での動作が可能となる。

#### 【発明の効果】

#### 【0013】

本発明の半導体装置によれば、外部CPUを含めた柔軟なシステム構成の構築、また、高性能、あるいは、高機能なアプリケーション処理、また、低消費電力動作が可能となる。

#### 【発明を実施するための最良の形態】

#### 【0014】

以下本発明の実施の形態について、図面を参照しながら説明する。

#### 【0015】

#### （実施の形態1）

図1は、本発明の実施の形態1における半導体装置の構成を表す図である。図1において、半導体装置100は、内部CPU101、内部CPU102、動画処理回路121、グラフィックス処理回路122、静止画処理回路123、音声・オーディオ処理回路124、ビデオ入出力回路125、音声・オーディオ入出力回路126、選択回路131～136、制御バス141、142、143を備える。

#### 【0016】

内部CPU101は、外部CPU200と外部インタフェースを介して接続され、内部CPU102と接続され、また、制御バス141を介して、選択回路131、132、133、134と接続される。

#### 【0017】

内部CPU102は、外部CPU200と外部インタフェースを介して接続され、内部CPU101と接続され、また、制御バス142を介して、選択回路135、136と接続される。

#### 【 0 0 1 0 】

- 外部CPU200は、内部CPU101と内部CPU102と外部インタフェースを介して接続され、制御バス143を介して、選択回路131、132、133、134、135、136と接続される。

#### 【 0 0 1 9 】

選択回路131は、制御バス141、あるいは、制御バス143のどちらかを選択し、選択した制御バスと動画処理回路121を接続する。どちらの制御バスを選択するかは外部CPU200、または、内部101により設定される。

#### 【 0 0 2 0 】

選択回路132は、制御バス141、あるいは、制御バス143のどちらかを選択し、選択した制御バスとグラフィックス処理回路122を接続する。どちらの制御バスを選択するかは外部CPU200、または、内部101により設定される。

#### 【 0 0 2 1 】

選択回路133は、制御バス141、あるいは、制御バス143のどちらかを選択し、選択した制御バスと静止画処理回路123を接続する。どちらの制御バスを選択するかは外部CPU200、または、内部101により設定される。

#### 【 0 0 2 2 】

選択回路134は、制御バス141、あるいは、制御バス143のどちらかを選択し、選択した制御バスと音声・オーディオ処理回路124を接続する。どちらの制御バスを選択するかは外部CPU200、または、内部101により設定される。

#### 【 0 0 2 3 】

選択回路135は、制御バス142、あるいは、制御バス143のどちらかを選択し、選択した制御バスとビデオ入出力回路125を接続する。どちらの制御バスを選択するかは外部CPU200、または、内部102により設定される。

#### 【 0 0 2 4 】

選択回路136は、制御バス142、あるいは、制御バス143のどちらかを選択し、選択した制御バスと音声・オーディオ入出力回路を接続する。どちらの制御バスを選択するかは外部CPU200、または、内部102により設定される。

#### 【 0 0 2 5 】

動画処理回路121は、MPEG規格等の動画の圧縮、または、伸長の処理を行う処理回路である。グラフィックス処理回路122は、グラフィックスの生成を行う処理回路である。

#### 【 0 0 2 6 】

静止画処理回路123は、JPEG規格等の静止画の圧縮、または、伸長の処理を行う処理回路である。

#### 【 0 0 2 7 】

音声・オーディオ処理回路124は、音声、あるいは、オーディオの圧縮、または、伸長の処理を行う処理回路である。

#### 【 0 0 2 8 】

ビデオ入出力回路125は、図示していない外部のカメラとディスプレイと、それぞれ外部インタフェースを介して接続され、カメラからのビデオデータの入力処理、または、ディスプレイへのビデオデータの出力処理、あるいは、入力されたビデオデータと出力するビデオデータに対するフィルタ処理、回転処理、拡大・縮小処理、出力する複数枚のフレームを1枚のフレームにする画像合成処理を行う処理回路である。

#### 【 0 0 2 9 】

音声・オーディオ入出力回路126は、図示していない外部のマイクとスピーカと、それぞれ外部インタフェースを介して接続され、マイクからの音声・オーディオデータの入力、または、スピーカへの音声・オーディオデータの出力、あるいは、入力された音声・オーディオデータと出力する音声・オーディオデータに対するフィルタ処理を行う処理回路である。

#### 【 0 0 3 0 】

動画処理回路121、グラフィックス処理回路122、静止画処理回路123、音声・オーディオ

- ・ 接続されている選択回路により選択された制御バスを通じ、選択されたCPUからの制御に従い処理を実行する。

#### 【0031】

内部CPU101と内部CPU102は、それぞれ、制御バス141、あるいは、制御バス142を介して接続されている処理回路の制御処理と、外部CPU200との同期処理と、内部CPU101と内部CPU102との間の同期処理と、半導体装置100内部の処理回路121～126が実行する処理以外のデータ処理を行う。

#### 【0032】

また、内部CPU101と内部CPU102は、動作周波数を設定により変えることができる。最大動作周波数をK MHzとすると、その2分周、4分周、8分周、16分周である、K/2 MHz、K/4 MHz、K/8 MHz、K/16 MHzの動作周波数での動作が可能である。

#### 【0033】

ここで、外部CPU200と半導体装置100を含むメディア処理システムにおいて、TV電話機能を実行する場合を説明する。TV電話実行時では、音声の圧縮伸長処理、動画の圧縮伸長処理、ビデオデータの入出力処理、音声データの入出力処理が必要となるため、動画処理回路121、音声・オーディオ処理回路124、ビデオ入出力回路125、音声・オーディオ入出力回路126を起動する必要がある。

#### 【0034】

TV電話実行に際して、相手側の映像と音声を圧縮し多重化したビットストリームが外部CPU200から半導体装置100に送信される。半導体装置100で受信したビットストリームが暗号化されている場合は、内部CPU101により解読の処理を行う。

#### 【0035】

次に、解読されたビットストリーム、あるいは、元々暗号化されていなかったビットストリームは、音声のビットストリームと動画のビットストリームが多重化された状態であるため、内部CPU101により、音声ビットストリームと動画ビットストリームへの分離処理を行う。

#### 【0036】

分離処理後、音声ビットストリームの伸長処理を音声・オーディオ処理回路124で、動画ビットストリームの伸長処理を動画処理回路121で行う。ここで、選択回路131と選択回路134は制御バス141を選択する設定とし、音声・オーディオ処理回路124と動画処理回路121の制御処理は内部CPU101が実行する。

#### 【0037】

音声・オーディオ処理回路124と動画処理回路121のそれぞれで伸長された、動画データと音声データは、ビデオ入出力回路125と音声・オーディオ入出力回路126により、それぞれ、ポストフィルタ処理を行い、さらに、動画データは、必要な場合は、回転処理、拡大・縮小処理、そして、表示する際のアイコン画像、フレーム枠画像、背景等の画像と合成し、スピーカとディスプレイへ出力される。ここで、選択回路135と選択回路136は制御バス142を選択する設定とし、ビデオ入出力回路125と音声・オーディオ入出力回路126の制御処理はCPU102が行う。伸長処理により生成される音声データと動画データの受け渡しのタイミング処理は内部CPU101と内部CPU102の間での通信により行う。CPU102は、音声データの出力と動画データの出力のタイミングが同期するように制御する。

#### 【0038】

次に、自分側の映像と音声のデータ処理フローを説明する。

#### 【0039】

自分側の映像と音声のデータは、カメラから動画データが、マイクから音声データが、それぞれ、ビデオ入出力回路125と音声・オーディオ入出力回路126へ入力される。

#### 【0040】

動画データと音声データの半導体装置100内部への取り込みと、取り込んだ動画データと音声データに対するフィルタ処理は、それぞれ、ビデオ入出力回路125と音声・オーディオ



ィオ入出力回路120で行う。ここで、前述した通り、選択回路133と選択回路134は制御バス142を選択する設定であるため、ビデオ入出力回路125と音声・オーディオ入出力回路126の制御は内部CPU102が行う。

#### 【0041】

次に、取り込みとフィルタ処理が完了した動画データと音声データは、それぞれ、動画処理回路121と音声・オーディオ処理回路124で圧縮処理がなされる。ここで、前述した通り、選択回路131と選択回路134は制御バス141を選択する設定であるため、動画処理回路121と音声・オーディオ処理回路124の制御は内部CPU101が行う。圧縮処理を行う動画データと音声データの受け渡しのタイミング処理は内部CPU101と内部CPU102の間での通信により行う。

#### 【0042】

動画処理回路121と音声・オーディオ処理回路124により圧縮された動画ビットストリームと音声ビットストリームは、内部CPU101により多重化の処理がなされ、1つのビットストリームとなる。

#### 【0043】

さらに、多重化されたビットストリームに対して、暗号化が必要な場合は、内部CPU101により暗号化処理が施される。

#### 【0044】

暗号化されたビットストリーム、あるいは、暗号化する必要がない場合は、多重化処理がなされたビットストリームは、外部CPU200へ送信され、相手側の対局へ送信される。

#### 【0045】

以上が、TV電話機能実行時における、半導体装置100内部における処理フローの説明である。

#### 【0046】

また、外部CPU200の性能に余裕がある場合には、上記説明において、内部CPU101と内部CPU102が担当していた処理回路の制御処理とデータ処理の一部を外部CPU200が担当することも可能である。例えば、音声データの圧縮伸長処理と入出力処理に関する制御とビットストリームに対する暗号化と解読の処理を外部CPU200が行うとすることも可能である。この場合は、選択回路134と選択回路136が制御バス141を接続するように設定し、音声・オーディオ処理回路124と音声・オーディオ入出力回路126の制御処理を外部CPU200が行うようにすればよい。

#### 【0047】

この時、CPU間をまたぐデータの受け渡しのタイミング処理は、必要に応じて、外部CPU200と内部CPU101、あるいは、外部CPU200と内部CPU102の間で通信を行えばよい。

#### 【0048】

この場合、内部CPU101と内部CPU102の処理負荷は、前述で説明した場合に比べて軽くなるため、その動作周波数を最適値に下げることが可能となる。例えば、前述で説明した場合には、内部CPU101と内部CPU102の動作周波数が共に、K/2 MHzで動作していたが、今回の場合には、内部CPU101はK/8 MHz、内部CPU102はK/4 MHzで動作しても処理が間に合うといったことが可能となり、内部CPU101と内部CPU102の動作周波数を下げることによって半導体装置100の消費電力を下げることが可能となる。

#### 【0049】

また、上記説明において、選択回路134の設定を切り替えることで、音声・オーディオ処理回路124の制御を外部CPU200が行う場合と内部CPU101が行う場合があるように、同じTV電話機能を実行するにあたっては、外部CPU200の処理性能に合わせて、半導体装置100内部の処理回路121～126の制御負荷の分担を、外部CPU200と内部CPU101、内部CPU102で変えることが可能であり、外部CPU200と半導体装置100を含むメディア処理システムを構築する上で、半導体装置100の柔軟性が向上する。

#### 【0050】

また、TV電話機能において、相手画像がカメラから入力された自然画像ではなく、キャ

・ 実際には、上記、TV電話の実行時に使用する処理回路に加えてグラフィックス処理回路122がさらに起動される。この時、グラフィックス処理回路122の制御は、外部CPU200と内部CPU101と内部CPU102のいずれが行うことも可能である。外部CPU200の処理性能、プログラムメモリ領域に余裕がある場合は、選択回路132は制御バス143を接続するように設定してグラフィックス処理回路122の制御を外部CPU200が行うようにし、そうでない場合は、内部CPU101側に必要なプログラムを実装して、選択回路132は制御バス141を接続するように設定してグラフィックス処理回路122の制御を内部CPU101が行うようにする。

#### 【0051】

次に、外部CPU200と半導体装置100を含むメディア処理システムにおいて、ビデオカメラ機能を実行する場合を説明する。ビデオカメラ実行時では、音声の圧縮処理、動画の圧縮処理、ビデオデータの入出力処理、音声データの入力処理が必要となるため、動画処理回路121、音声・オーディオ処理回路124、ビデオ入出力回路125、音声・オーディオ入出力回路126を起動する必要がある。

#### 【0052】

ビデオカメラ実行時では、処理する動画のサイズ、フレームレートが、TV電話実行時に比べて大きくなるとする。例えば、TV電話時では、QCIF（176×144画素）サイズ、フレームレート15fpsに対して、ビデオカメラ時では、VGA（640×480画素）サイズ、フレームレート30fpsとなる場合を指す。この時、CPUが行う、動画に関わる処理回路の制御処理とデータ処理の処理負荷が高くなるため、音声の圧縮処理に関わる処理は外部CPU200が行い、それ以外の処理は内部CPU101と内部CPU102で行う。

#### 【0053】

ビデオカメラ実行時の処理フローを説明する。

#### 【0054】

撮影している映像と音声のデータは、カメラから動画データが、マイクから音声データが、それぞれ、ビデオ入出力回路125と音声・オーディオ入出力回路126へ入力される。

#### 【0055】

動画データと音声データの半導体装置100内部への取り込みと、取り込んだ動画データと音声データに対するフィルタ処理は、それぞれ、ビデオ入出力回路125と音声・オーディオ入出力回路126で行う。ここで、選択回路135と選択回路136は制御バス142を選択する設定とし、ビデオ入出力回路125と音声・オーディオ入出力回路126の制御は内部CPU102が行う。また、ビデオ入出力回路125は、取り込んだ動画データを、必要に応じて、回転処理、拡大・縮小処理、そして、表示する際のアイコン画像、フレーム枠画像、背景等の画像と合成し、ディスプレイへ出力することもある。

#### 【0056】

次に、取り込みとフィルタ処理が完了した動画データと音声データは、それぞれ、動画処理回路121と音声・オーディオ処理回路124で圧縮処理がなされる。ここで、選択回路131は制御バス141を選択し、選択回路134は制御バス143を選択する設定とし、動画処理回路121の制御は内部CPU101、音声・オーディオ処理回路124の制御は外部CPU200が行う。圧縮処理を行う動画データと音声データの受け渡しのタイミング処理は内部CPU101と内部CPU102の間と外部CPU200と内部CPU102の間での通信により行う。

#### 【0057】

動画処理回路121と音声・オーディオ処理回路124により圧縮された動画ビットストリームと音声ビットストリームは、外部CPUへ送信され、外部CPU200により多重化の処理がなされて、1つのビットストリームとなる。

#### 【0058】

さらに、多重化されたビットストリームに対して、暗号化が必要な場合は、外部CPU200により暗号化処理が施される。

#### 【0059】

暗号化されたビットストリーム、あるいは、暗号化する必要がない場合は、多重化処理

がなされたビットストリームは、外部メモリ装置へ送信され、蓄積される。

#### 【0060】

また、さらに、ビデオカメラ実行時において、デジタルスチルカメラ機能を輻輳させる場合、つまり、動画撮影中に、ある瞬間で静止画撮影を行う場合を説明する。

#### 【0061】

この場合、さらに、静止画圧縮処理のため静止画処理回路203を起動する必要がある。内部CPU101は、動画処理回路121に関わる制御処理で負荷が高いため、静止画処理回路203の制御は外部CPU200が行う。したがって、選択回路133は制御バス143を接続する設定となる。

#### 【0062】

静止画に関わる処理フローは次のようになる。上述した、ビデオカメラ実行時の処理フローに加えて、ビデオ入出力回路125で入力処理を終えた画像を静止画処理回路123で圧縮処理を行う。生成された静止画ビットストリームは、外部CPU200へ送信され、暗号化が必要な場合は、外部CPU200により暗号化処理がなされる。暗号化された静止画ビットストリーム、あるいは、半導体装置100から送信された静止画ビットストリームは、外部のメモリ装置へ送信されて蓄積される。

#### 【0063】

ただし、デジタルスチルカメラ機能を単独で実行する場合は、選択回路133を制御バス141を接続する設定とし、静止画処理回路123の制御は内部CPU101が行う。

#### 【0064】

このように、選択手段133の設定を切り替えることにより、静止画処理回路123を直接外部CPU200と接続して制御し、半導体装置100内部の処理回路121～126の制御処理負荷を分散することで、内部CPU101と内部CPU102のみで処理回路121～126を制御する場合と比べて、ビデオカメラ機能とデジタルスチルカメラ機能の輻輳といった、実現アプリケーションの高機能化、あるいは、前記、機能輻輳時において、ビデオカメラ機能の画像サイズの増加、フレームレートの増加といった、実現アプリケーションの高性能化が可能となる。

#### 【0065】

また、上記説明において、TV電話実行時では、音声・オーディオ処理回路124の制御を内部CPU101が行い、ビデオカメラ実行時では外部CPU200が行ったように、実行するアプリケーション毎に、選択回路131～136の設定を切り替えて、処理回路121～126の制御の担当を外部CPU200と内部CPU101、内部CPU102で変えて、制御負荷の分散を最適化することが可能である。

#### 【0066】

また、その他、動画・静止画再生機能、動画・静止画編集機能等のアプリケーションの実行においても、上記説明と同様に、外部CPU200、または、内部CPU101、内部CPU102が処理回路121～126の中から、各々のアプリケーション実行時に必要な処理回路を起動し制御を行う。

#### 【0067】

なお、上記説明において、選択回路131～選択回路134は、制御バス141と制御バス143を介してのアクセスを調停する調停回路とし、常時、制御バス141と制御バス143からアクセス可能であるとしてもよい。この場合、各処理回路121～処理回路124へのアクセスの排他制御は、外部CPU200と内部CPU101の間でソフトウェア上で行われる。

#### 【0068】

なお、上記説明において、選択回路135～選択回路136は、制御バス142と制御バス143を介してのアクセスを調停する調停回路とし、常時、制御バス142と制御バス143からアクセス可能であるとしてもよい。この場合、各処理回路125～処理回路126へのアクセスの排他制御は、外部CPU200と内部CPU102の間でソフトウェア上で行われる。

#### 【0069】

なお、上記説明において、内部CPU101、あるいは、外部CPU200がビットストリームに対する暗号化と解読の処理を行うとしたが、暗号化と解読の処理は別途、処理手段を設けて

処理することも可能である。また、内部CPU101、あるいは、外部CPU200ではなく、内部CPU102で処理することも可能である。

#### 【0070】

なお、上記説明において、内部CPU101、あるいは、外部CPU200がビットストリームに対する多重化と分離の処理を行うとしたが、多重化と分離の処理は別途、処理手段を設けて処理することも可能である。また、内部CPU101、あるいは、外部CPU200ではなく、内部CPU102で処理することも可能である。

#### 【0071】

なお、上記説明において、ビデオ入出力回路125が、入力されたビデオデータと出力するビデオデータに対するフィルタ処理、回転処理、拡大・縮小処理、出力する複数枚のフレームを1枚のフレームにする画像合成処理を行うとしたが、フィルタ処理、回転処理、拡大・縮小処理、画像合成処理は、別途、処理手段を設けて処理することも可能である。また、内部CPU101、あるいは、内部CPU102で処理することも可能である。

#### 【0072】

なお、上記説明において、半導体装置100が備える処理回路を、動画処理回路121、グラフィックス処理回路122、静止画処理回路123、音声・オーディオ処理回路124、ビデオ入出力回路125、音声・オーディオ入出力回路126としたが、本発明は、搭載する処理回路の組合せを上記組合せに限定するものではない。音声・オーディオ処理回路124は備えず、音声、または、オーディオの圧縮伸長処理は内部CPU101、内部CPU102、あるいは、外部CPU200が処理してもよい。また、動画処理回路121と静止画処理回路123と音声・オーディオ処理回路124は、それぞれ、圧縮伸長処理を行うのではなく、圧縮処理のみ、あるいは、伸長処理のみを行うとしてもよい。また、ビデオ入出力回路125と音声・オーディオ入出力回路126は、それぞれ、ビデオデータと音声、または、オーディオデータの入力処理と出力処理の両方を行うではなく、入力処理のみ、あるいは、出力処理のみを行うとしてもよい。

#### 【0073】

また、図1で説明した半導体装置100では、外部CPU1つが接続され、内部CPU2つを備える構成としたが、本発明の半導体装置のCPU構成は図1で示した構成に限定するものではない。

#### 【0074】

例えば、図2に示す構成も考えられる。図2において、図1と同じ構成要素については同じ符号を用い、説明を省略する。図2において、半導体装置300は、外部CPU201と外部CPU202の2つの外部CPUと接続され、内部CPU103を備える。外部CPU201は内部CPU103と制御バス343とに接続される。外部CPU202は内部CPU103と制御バス342とに接続される。内部CPU103は外部CPU201と外部CPU202に加えて制御バス341と接続される。制御バス341は選択回路131～136と接続される。制御バス342は選択回路135と選択回路136と接続される。制御バス343は選択回路131～134と接続される。

#### 【0075】

例えば、図3に示す構成も考えられる。図3において、図1と同じ構成要素については同じ符号を用い、説明を省略する。図3において、半導体装置400は、外部CPU203と接続され、内部CPU104を備える。外部CPU203は内部CPU104と制御バス442とに接続される。内部CPU104は外部CPU203に加えて制御バス441と接続される。制御バス441は選択回路131～136と接続される。制御バス442は選択回路131～136と接続される。

#### 【0076】

例えば、図4に示す構成も考えられる。図4において、図1と同じ構成要素については同じ符号を用い、説明を省略する。図4において、半導体装置500は、外部CPU204と外部CPU205の2つの外部CPUと接続され、内部CPU105と内部CPU106を備える。外部CPU204は内部CPU105と制御バス543とに接続される。外部CPU205は内部CPU106と制御バス544とに接続される。内部CPU105は外部CPU204に加えて、制御バス541と内部CPU106とに接続される。内部CPU106は外部CPU204と内部CPU105に加えて、制御バス544とに接続される。制御バス541は選

が凹部101～104と接続される。制御バス542は選択回路100と選択回路100と接続される。

- ・制御バス543は選択回路131～134と接続される。制御バス544は選択回路135と選択回路136と接続される。

#### 【0077】

また、外部CPU、または、内部CPUと処理回路を接続する制御バスの構成は、図1～図4で示した構成に限定するものではない。

#### 【0078】

例えば、図5に示す構成も考えられる。図5において、図1と同じ構成要素については同じ符号を用い、説明を省略する。図5の半導体装置600において、制御バス641は外部CPU200と内部CPU101がバスのマスタとして接続され、処理回路121～124がバスのスレーブとして接続される。調停回路651は制御バス641へのアクセスを調停する回路であり、外部CPU200と内部CPU101から同時に制御バス641にアクセスが行われた場合に、優先度が高いCPUからのアクセスを優先し、優先度が低いCPUからのアクセスは優先度が高いCPUからのアクセスが終了するまで待機させる。制御バス642は外部CPU200と内部CPU102がバスのマスタとして接続され、処理回路125と処理回路126がバスのスレーブとして接続される。調停回路652は制御バス642へのアクセスを調停する回路であり、調停回路651と同様の機能を持つ。

#### 【0079】

例えば、図6に示す構成も考えられる。図6において、図1と同じ構成要素については同じ符号を用い、説明を省略する。図6の半導体装置700において、制御バス741は内部CPU101と内部CPU102がバスのマスタとして接続され、選択回路131～136を介して処理回路121～126がバスのスレーブとして接続される。調停回路751は制御バス741へのアクセスを調停する回路であり、内部CPU101と内部CPU102から同時に制御バス741にアクセスが行われた場合に、優先度が高いCPUからのアクセスを優先し、優先度が低いCPUからのアクセスは優先度が高いCPUからのアクセスが終了するまで待機させる。制御バス742は外部CPU200がバスのマスタとして接続され、選択回路131～136を介して処理回路121～126がバスのスレーブとして接続される。

#### 【0080】

例えば、図7に示す構成も考えられる。図7において、図2と同じ構成要素については同じ符号を用い、説明を省略する。図7の半導体装置800において、制御バス841は内部CPU103がバスのマスタとして接続され、選択回路131～136を介して処理回路121～126がバスのスレーブとして接続される。制御バス842は外部CPU201と外部CPU202がバスのマスタとして接続され、選択回路131～136を介して処理回路121～126がバスのスレーブとして接続される。調停回路851は制御バス842へのアクセスを調停する回路であり、外部CPU201と外部CPU202から同時に制御バス842にアクセスが行われた場合に、優先度が高いCPUからのアクセスを優先し、優先度が低いCPUからのアクセスは優先度が高いCPUからのアクセスが終了するまで待機させる。

#### 【0081】

例えば、図8に示す構成も考えられる。図8において、図2と同じ構成要素については同じ符号を用い、説明を省略する。図8の半導体装置900において、制御バス941は内部CPU103がバスのマスタとして接続され、選択回路131～134を介して処理回路121～124がバスのスレーブとして接続される。制御バス942は外部CPU201がバスのマスタとして接続され、選択回路131～134を介して処理回路121～124がバスのスレーブとして接続される。制御バス943は外部CPU202と内部CPU103がバスのマスタとして接続され、処理回路125と処理回路126がバスのスレーブとして接続される。調停回路951は制御バス943へのアクセスを調停する回路であり、外部CPU202と内部CPU103から同時に制御バス943にアクセスが行われた場合に、優先度が高いCPUからのアクセスを優先し、優先度が低いCPUからのアクセスは優先度が高いCPUからのアクセスが終了するまで待機させる。

#### 【0082】

また、図1～図8で示した半導体装置において、選択回路は処理回路1つに対して1つ備え

る構成であったが、本発明の半導体装置はこれに限定するものではない。

#### 【0083】

例えば、図9に示す構成も考えられる。図9において、図1と同じ構成要素については同じ符号を用い、説明を省略する。図9の半導体装置1000において、制御バス1041は内部CPU101と接続され、選択回路132と選択回路133と選択回路138に接続される。制御バス1042は内部CPU102と接続され、選択回路135と選択回路136と接続される。制御バス1043は外部CPU200と接続され、選択回路132と選択回路133と選択回路135と選択回路136と選択回路138に接続される。バス1064は選択回路138で選択された制御バスを接続し、静止画処理回路203とグラフィックス処理回路204と接続される。つまり、選択回路138は静止画処理回路203とグラフィックス処理回路204で共通のものとなる。

#### 【0084】

ここで、選択回路138は、制御バス1041と制御バス1043を介してのアクセスを調停する調停回路とし、常時、制御バス1041と制御バス1043からアクセス可能であるとしてもよい。

#### 【0085】

##### （実施の形態2）

図10は、本発明の実施の形態2における、半導体装置の構成を表す図である。図10において、図1と同じ構成要素については同じ符号を用い、説明を省略する。

#### 【0086】

図10において、制御バス1141は内部CPU101と接続され、動画処理回路201と音声・オーディオ処理回路204は直接接続され、グラフィックス処理回路202と静止画処理回路203とは、選択回路132と選択回路133を介して接続される。制御バス1142は内部CPU102と接続され、選択回路135と選択回路136を介してビデオ入出力回路125と音声・オーディオ入出力回路126と接続される。制御バス1143は外部CPU200と接続され、選択回路132と選択回路133と選択回路135と選択回路136に接続される。

#### 【0087】

つまり、半導体装置1100では、グラフィックス処理回路122と静止画処理回路123とビデオ入出力回路125と音声・オーディオ入出力回路126は、外部CPU200と内部CPU101、または、内部CPU102の外部CPUと内部CPUの両方から制御可能であるが、動画処理回路121と音声・オーディオ処理回路124は、内部CPU101からのみ制御を受ける構成となる。

#### 【0088】

半導体装置1100と外部CPU200を含むメディア処理システムにおける、各アプリケーションの実行の処理フローは、実施の形態1で説明したものと同様となる。

#### 【産業上の利用可能性】

#### 【0089】

本発明にかかる半導体装置は、画像、音声・オーディオ等の処理回路と入出力回路を有し、メディア処理を必要とする機器、特に、携帯電話、デジタルビデオカメラ等の携帯端末や、DVDレコーダ、BDレコーダ、HDレコーダ等のホームサーバ端末に搭載される半導体装置として有用である。

#### 【図面の簡単な説明】

#### 【0090】

【図1】 本発明の実施の形態1における半導体装置の構成図

【図2】 本発明の実施の形態1における半導体装置の構成図

【図3】 本発明の実施の形態1における半導体装置の構成図

【図4】 本発明の実施の形態1における半導体装置の構成図

【図5】 本発明の実施の形態1における半導体装置の構成図

【図6】 本発明の実施の形態1における半導体装置の構成図

【図7】 本発明の実施の形態1における半導体装置の構成図

【図8】 本発明の実施の形態1における半導体装置の構成図

【図9】 本発明の実施の形態1における半導体装置の構成図

【図 1 1】 従来の半導体装置の構成図

【図 1 2】 従来の半導体装置の構成図

【符号の説明】

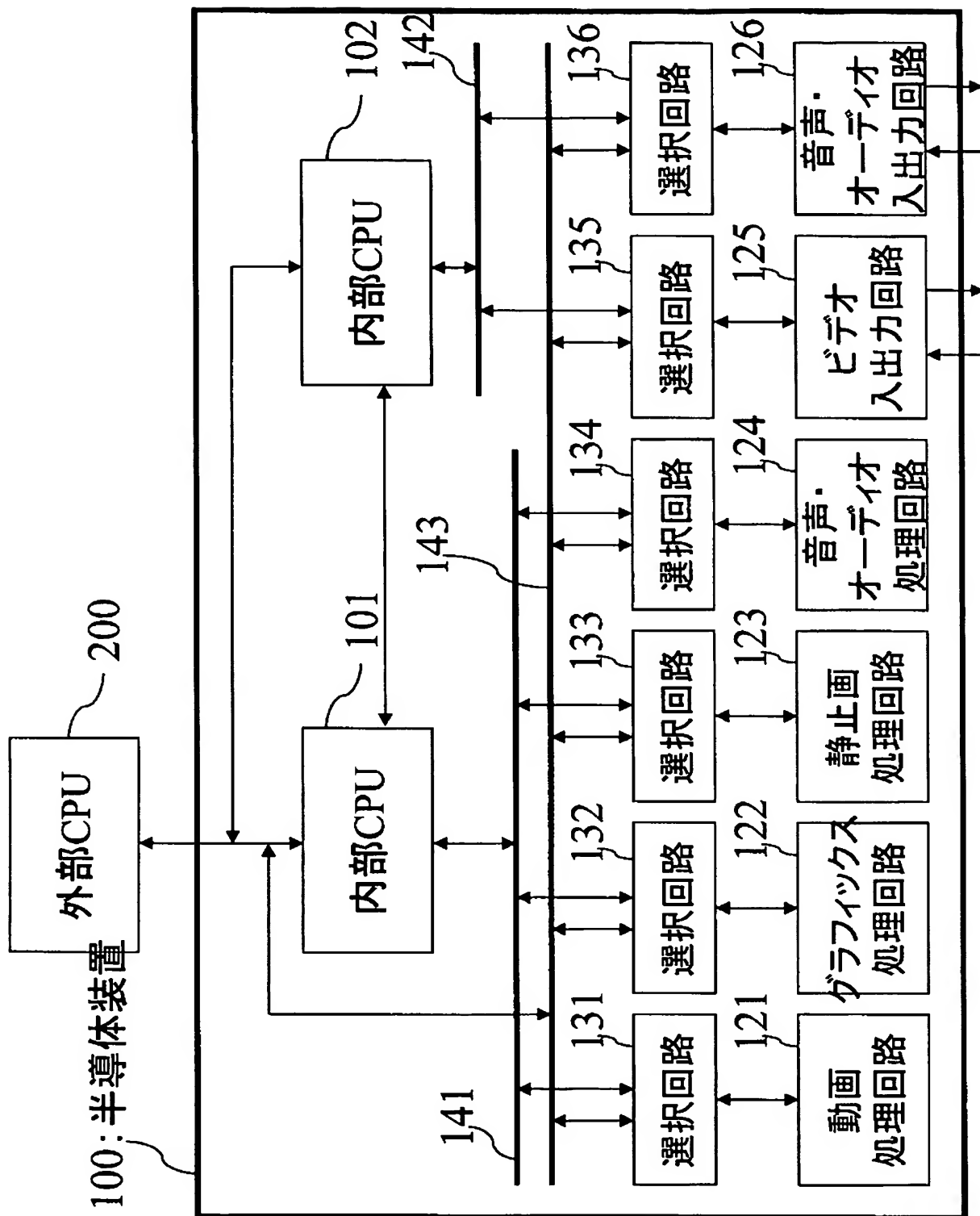
【0091】

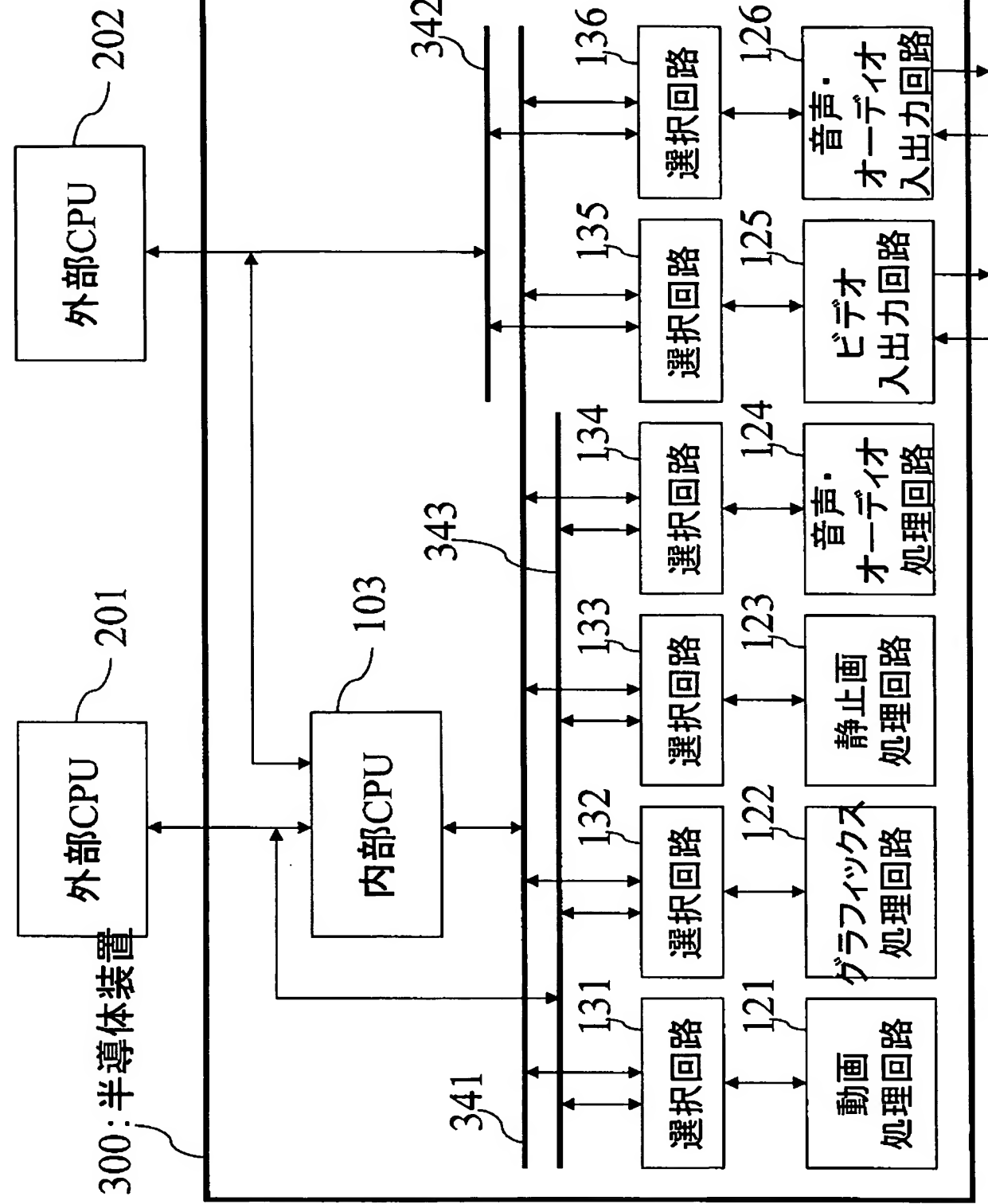
100 半導体装置  
101, 102 内部CPU  
121 動画処理回路  
122 グラフィックス処理回路  
123 静止画処理回路  
124 音声・オーディオ処理回路  
125 ビデオ入出力回路  
126 音声・オーディオ入出力回路  
131～136 選択回路  
141～142 制御バス  
200 外部CPU  
300 半導体装置  
103 内部CPU  
201, 202 外部CPU  
341～343 制御バス  
400 半導体装置  
104 内部CPU  
203 外部CPU  
441, 442 制御バス  
500 半導体装置  
105, 106 内部CPU  
204, 205 外部CPU  
541～544 制御バス  
600 半導体装置  
641, 642 制御バス  
651, 652 調停回路  
700 半導体装置  
741, 742 制御バス  
751 調停回路  
800 半導体装置  
841, 842 制御バス  
851 調停回路  
900 半導体装置  
941～943 制御バス  
951 調停回路  
1000 半導体装置  
138 選択回路  
1041～1043 制御バス  
1064 バス  
1100 半導体装置  
1141～1143 制御バス  
2100 半導体装置  
2101 内部CPU  
2102 ビデオプロセッサ  
2103 オーディオプロセッサ

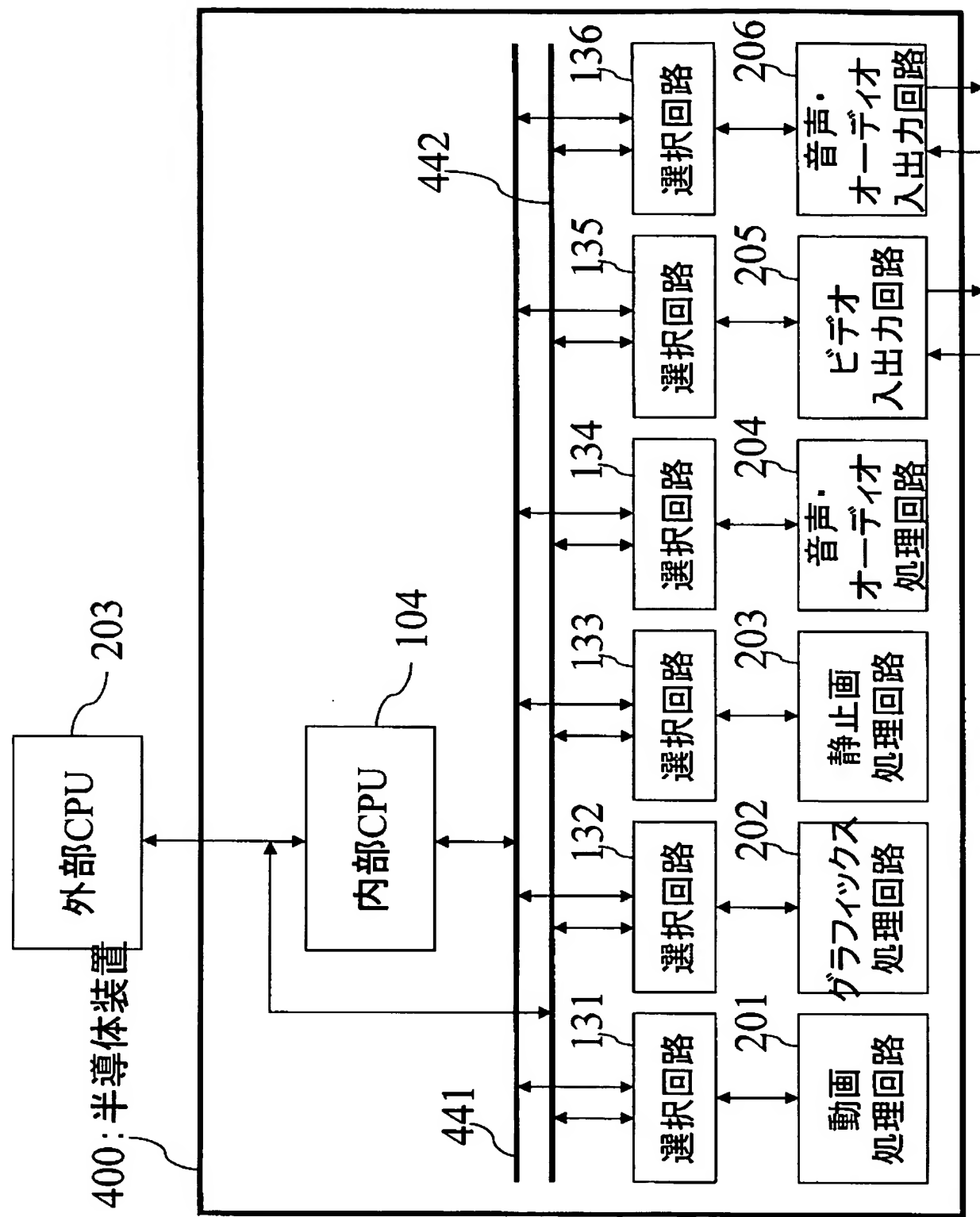
- ・ 2109 制御バス
- ・ 2110 外部CPU
- 2200 半導体装置
- ・ 2201 動画処理回路
- 2202 グラフィックス処理回路
- 2203 静止画処理回路
- 2204 音声・オーディオ処理回路
- 2205 ビデオ入出力回路
- 2206 音声・オーディオ入出力回路

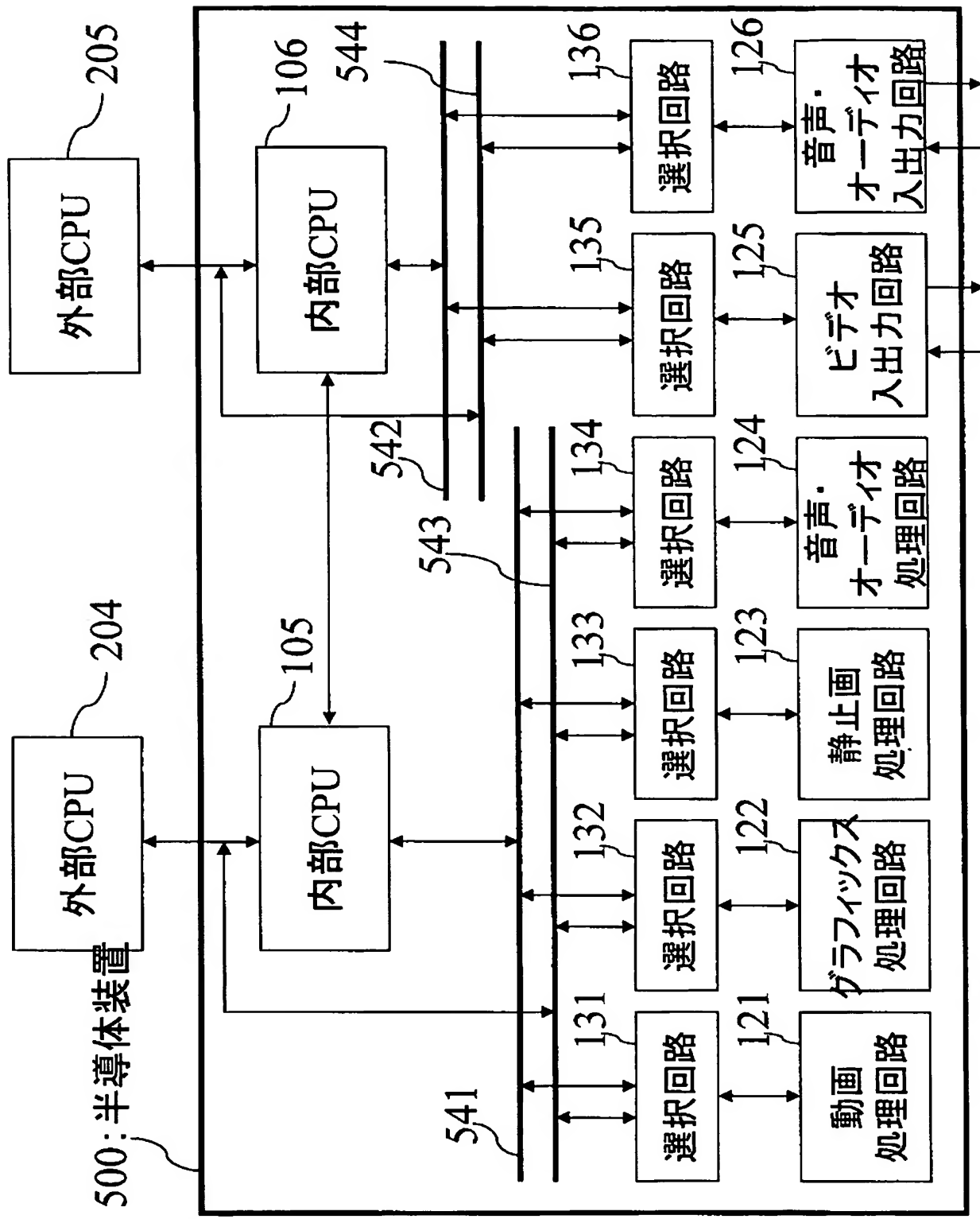


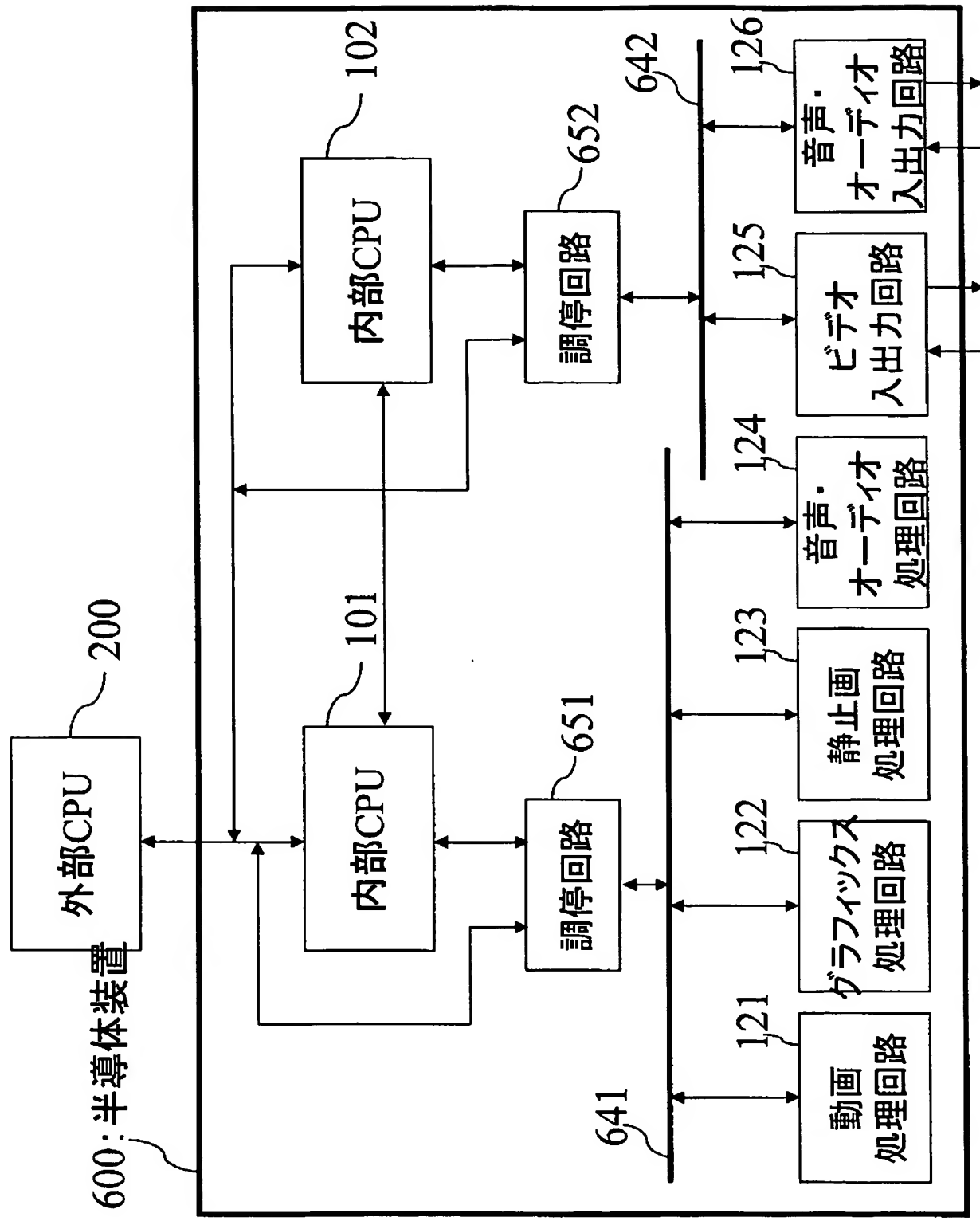
【図 1】





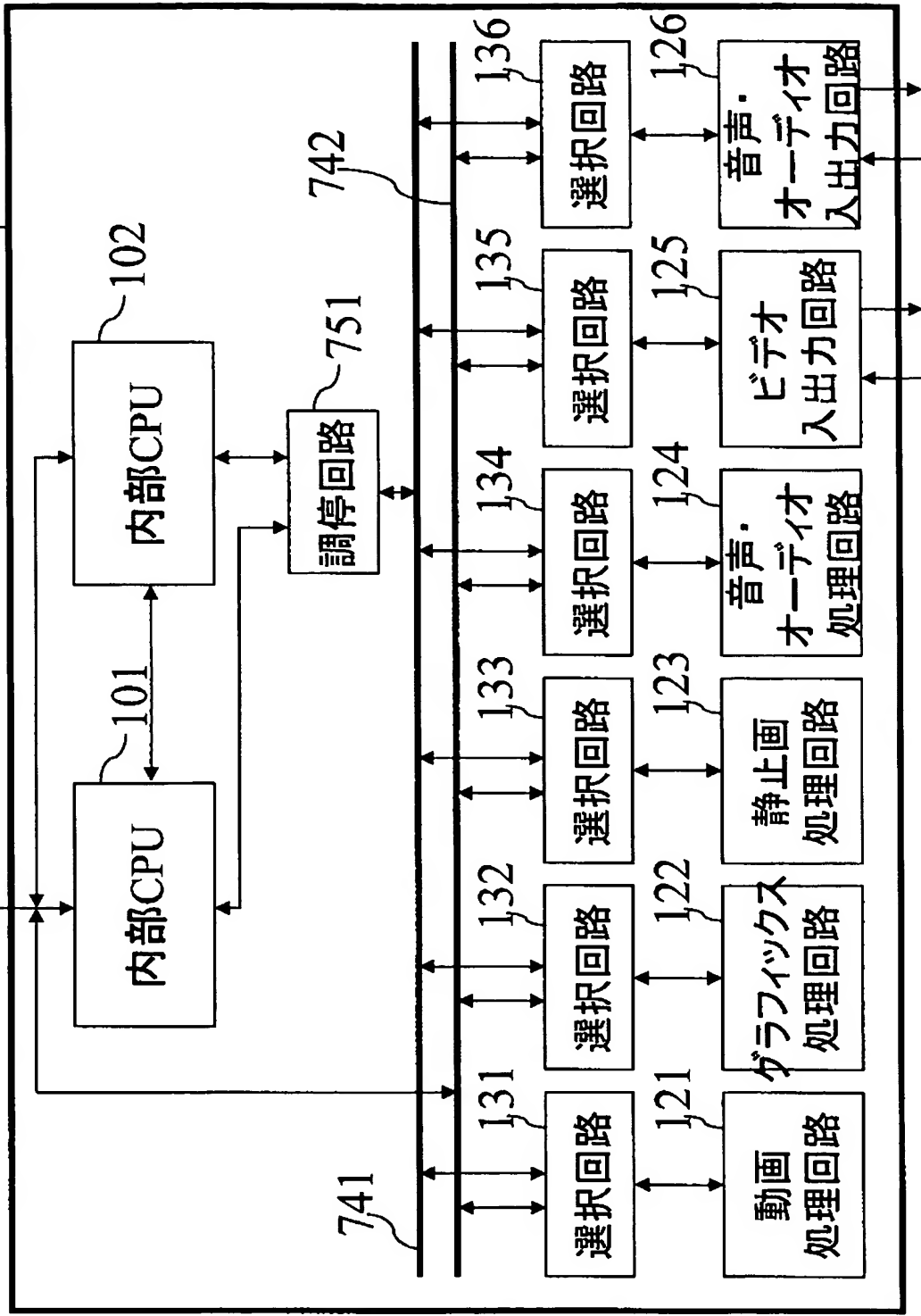


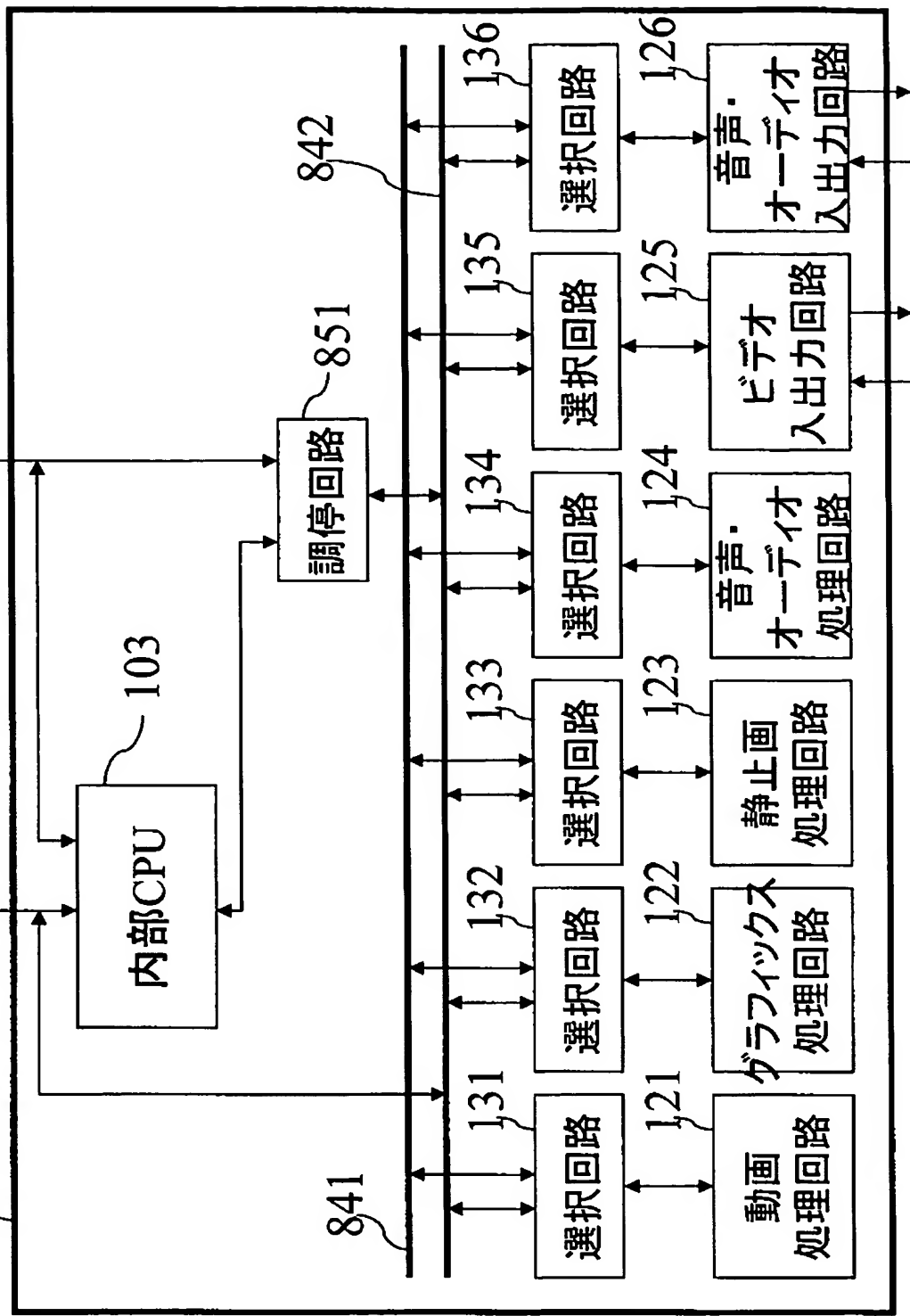
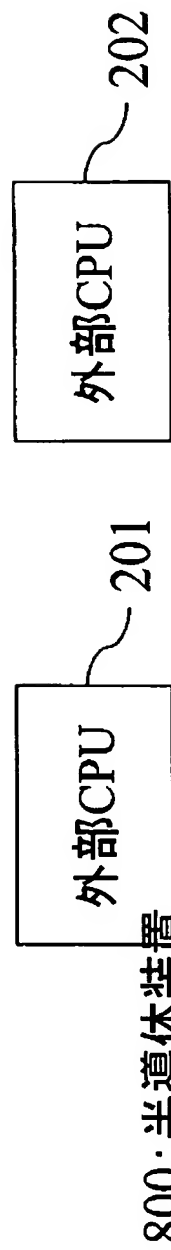


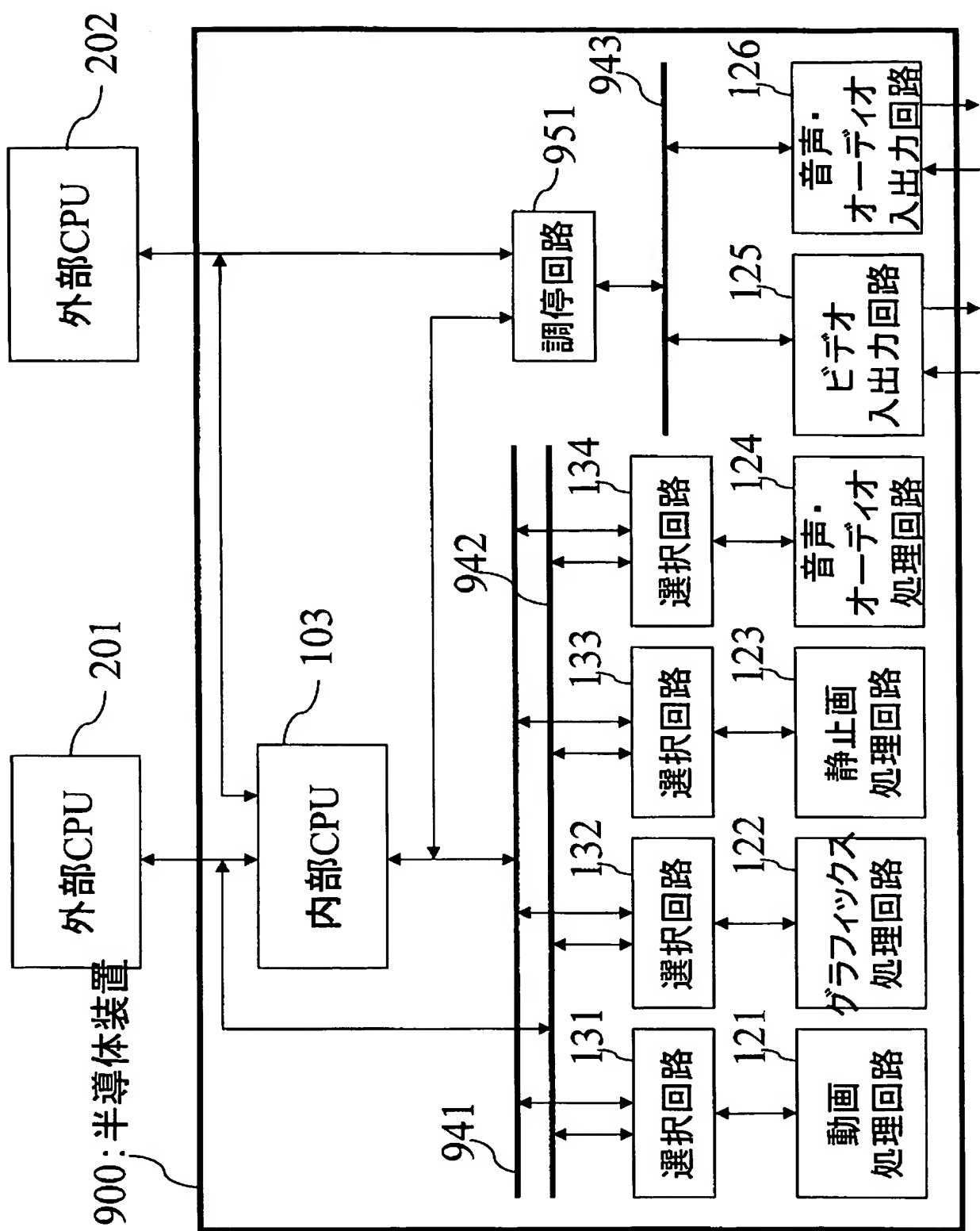


外部CPU 200

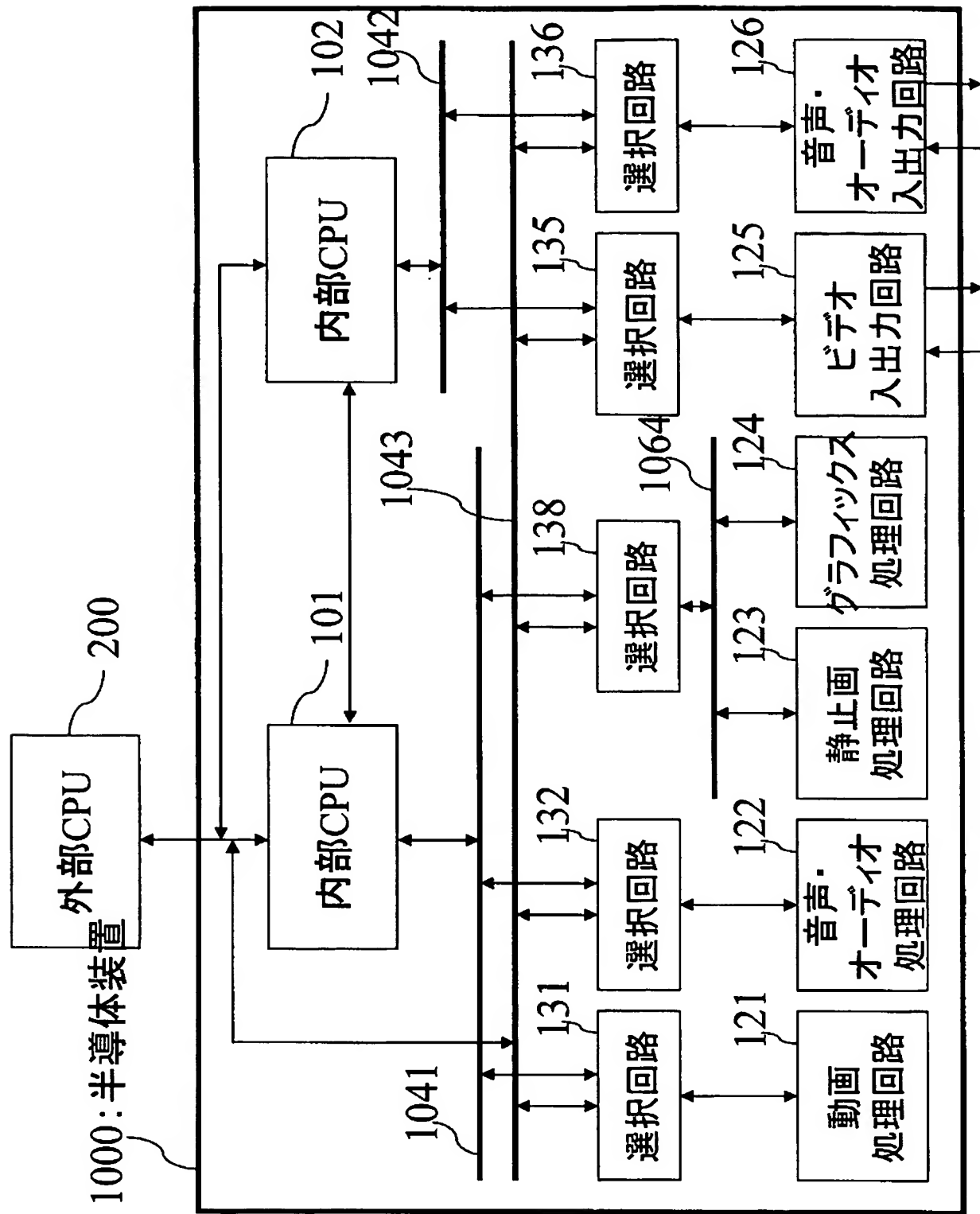
700: 半導体装置





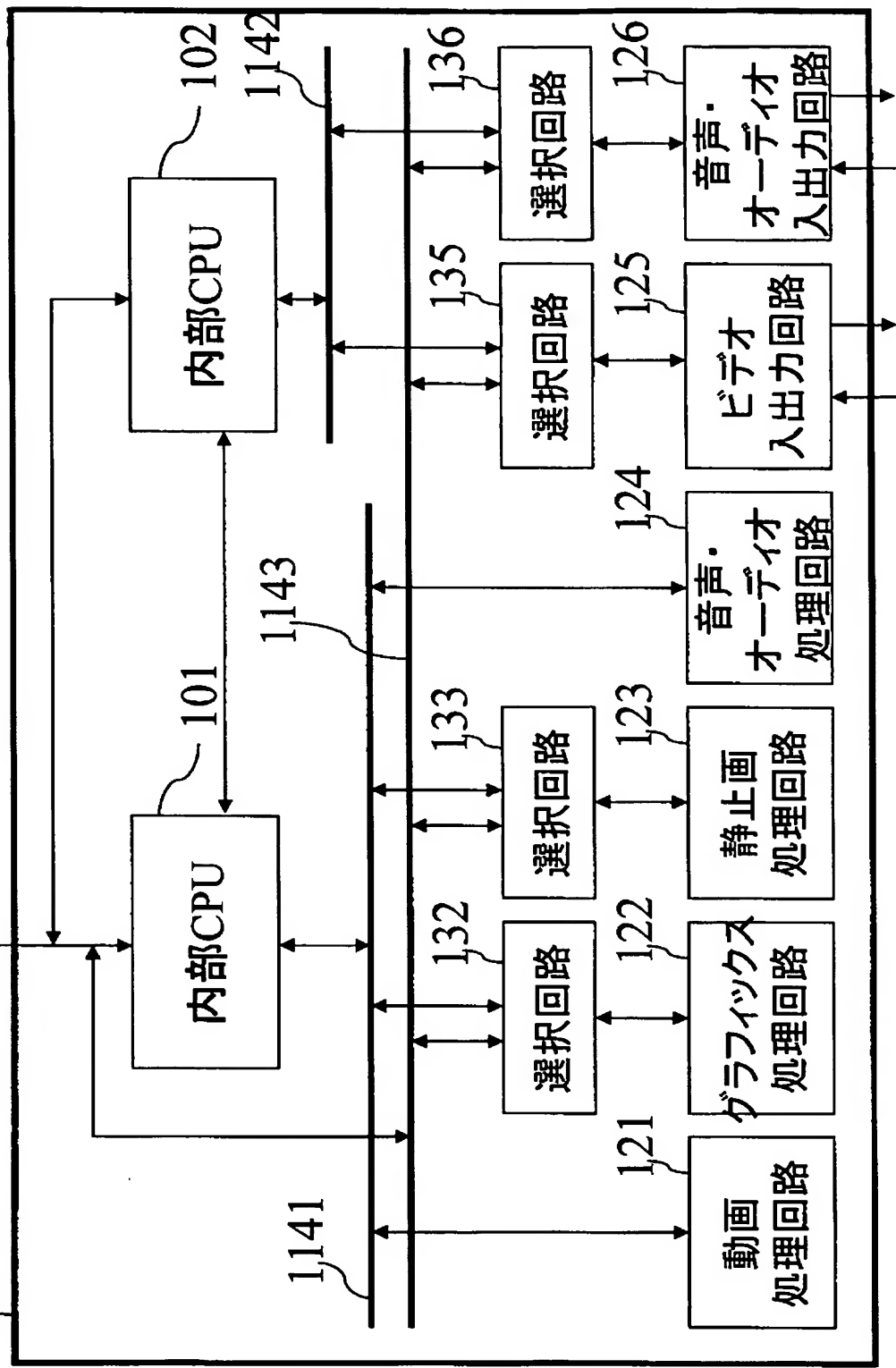


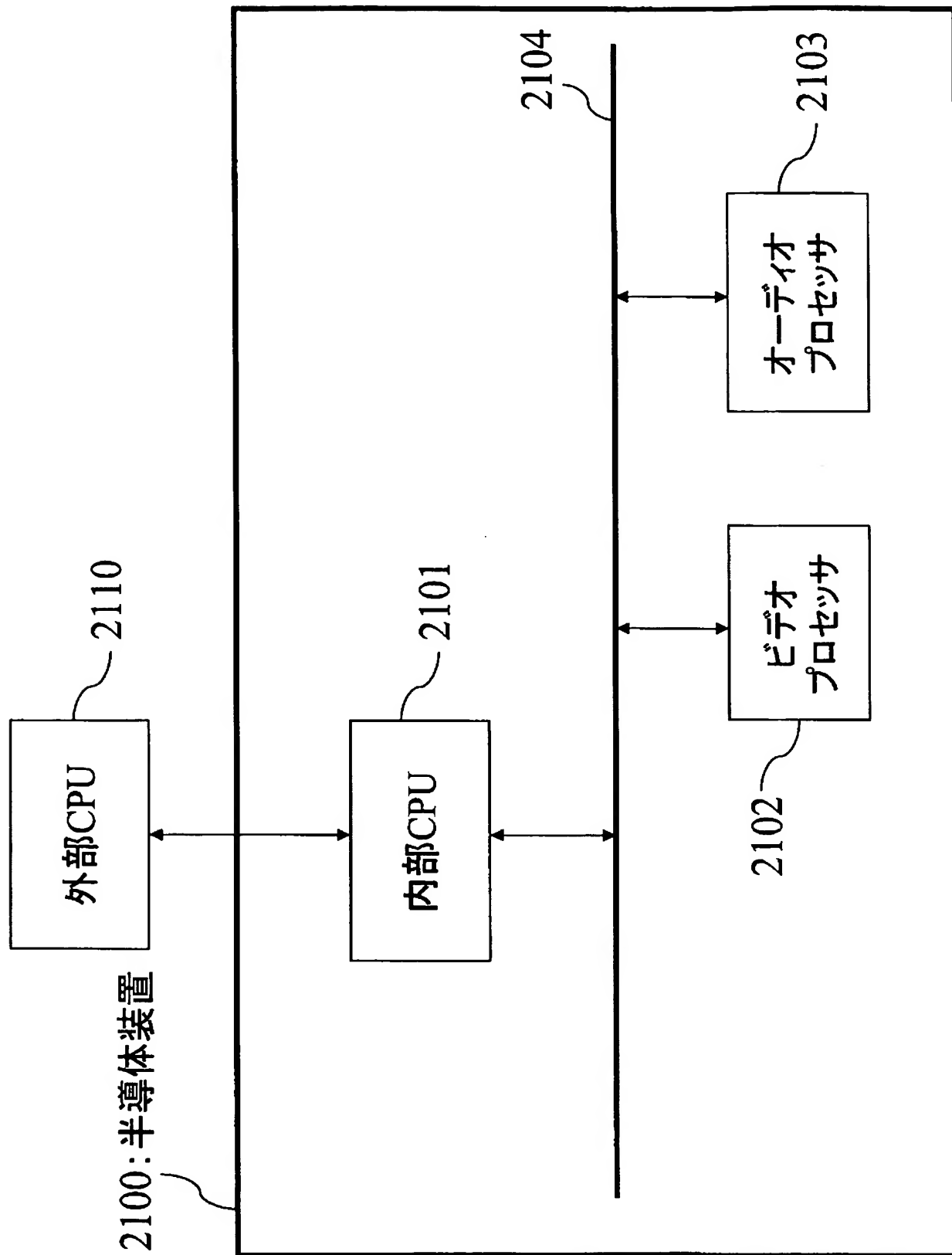




1100:半導体装置

外部CPU 200

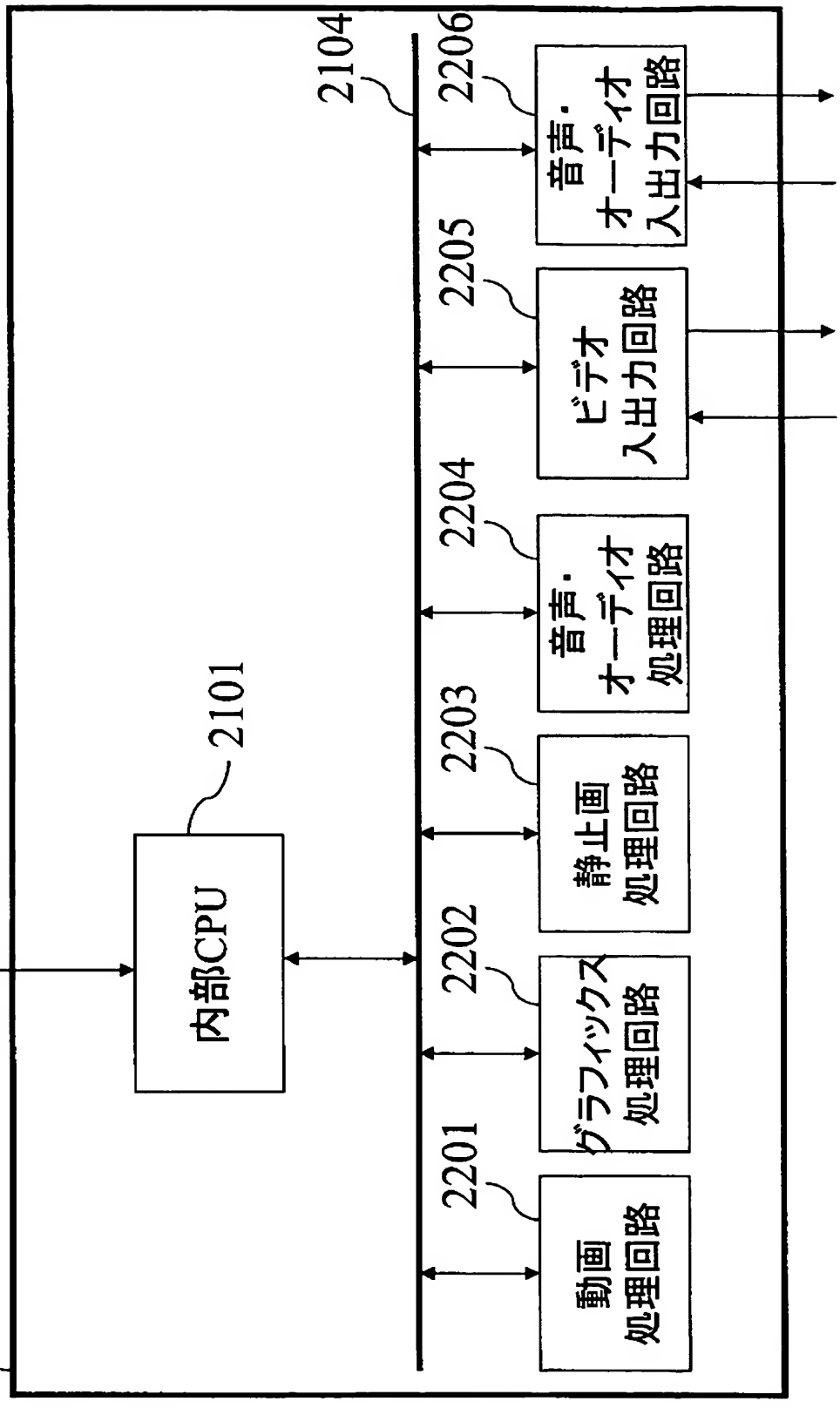




2200:半導体装置

外部CPU 2110

内部CPU 2101



9. 【要約】

【課題】 外部CPUを含めた柔軟なシステムの構築、また、高性能、あるいは、高機能なアプリケーション処理、また、低消費電力動作を可能とする半導体装置を提供すること。

【解決手段】 半導体装置100は、内部CPU101、内部CPU102、動画処理回路121、グラフィックス処理回路122、静止画処理回路123、音声・オーディオ処理回路124、ビデオ入出力回路125、音声・オーディオ入出力回路126、選択回路131～136、制御バス141、142、143を備え、外部CPU200と制御バス143が接続される。選択回路131～136の各選択回路により、内部の処理回路、または、入出力回路の制御を外部CPU200と、内部CPU101、または、内部CPU102に切り替えることで、必要な制御処理を外部CPUと内部CPUに分散でき、外部CPUを含めた柔軟なシステムの構築、また、高性能、高機能なアプリケーション処理、また、低消費電力動作が可能となる。

【選択図】 図1

9.

0 0 0 0 0 5 8 2 1

, 19900828

新規登録

大阪府門真市大字門真 1 0 0 6 番地

松下電器産業株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/006537

International filing date: 28 March 2005 (28.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-108832  
Filing date: 01 April 2004 (01.04.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**